

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-229780

(43)Date of publication of application : 15.08.2003

(51)Int.Cl.

H04B 1/30

H04L 25/03

(21)Application number : 2002-026341

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing :

04.02.2002

(72)Inventor : SAITO SHINJI

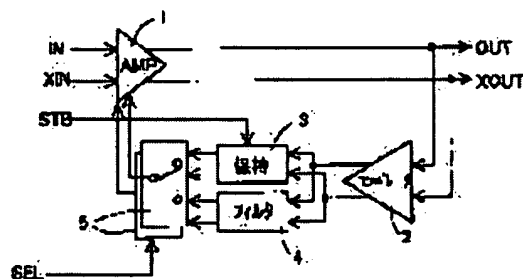
(54) DC OFFSET CANCELING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DC offset canceling circuit applicable for various communication methods with a simple constitution, by applying to a receiver having a dual mode constitution capable of responding to both communication methods, TDMA (Time Division Multiple Access) method and non-TDMA method.

SOLUTION: In the TDMA method, when a predetermined time slot is assigned as an offset quantity detecting time, a first feedback loop is activated to hold detection results, updated depending on strobe signals STB by a holding unit 3 with respect to detection signals responding to differential output signals OUT, XOUT by a comparator 2. DC offsets are cancelled out by output signals from the holding unit 3 to be fed back to an amplifier 1 through a selection unit 5. In the non-TDMA method, when offset quantity is continuously detected, a second feedback loop is activated to feed back the detecting signals from the comparator 2 to the amplifier 1 through the selecting unit 5, after being identified by a filter unit 4 so that the DC offsets are cancelled.

本発明の第1系理説明図



LEGAL STATUS

[Date of request for examination] 17.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-229780

(P2003-229780A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl.⁷

識別記号

F I

テーム(参考)

H 0 4 B 1/30

H 0 4 B 1/30

5 K 0 2 9

H 0 4 L 25/03

H 0 4 L 25/03

D

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願2002-26341(P2002-26341)

(22) 出願日 平成14年2月4日(2002.2.4)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 齋藤 伸二

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100098431

弁理士 山中 郁生 (外1名)

Fターム(参考) 5K029 AA04 DD05 HH05 LL01

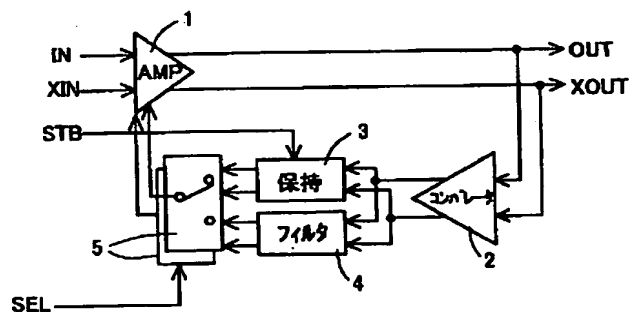
(54) 【発明の名称】 DCオフセットキャンセル回路

(57) 【要約】

【課題】 TDMA方式及び非TDMA方式の何れの通信方式にも対応することができるデュアルモード構成の受信機に適用して、各々の通信方式に好適なDCオフセットキャンセル回路をコンパクトな回路構成で提供すること

【解決手段】 TDMA方式においてオフセット量検出時間として所定時間スロットが割り当てられる場合には第1帰還ループが活性化され、コンパレータ2による差動出力信号OUT、XOUTに応じた検出信号に対して、保持部3においてストロブ信号STBに応じて検出結果が更新されて保持される。保持部3からの出力信号が選択部5を介して増幅器1にフィードバックされて直流オフセットが相殺される。非TDMA方式においてオフセット量が連続して検出される場合には第2帰還ループが活性化され、コンパレータ2からの検出信号がフィルタ部4で識別され選択部5を介して増幅器1にフィードバックされて直流オフセットが相殺される。

本発明の第1原理説明図



【特許請求の範囲】

【請求項1】 入力信号に対して信号処理を行なう信号処理部からの出力信号に混入する直流オフセット成分をキャンセルするDCオフセットキャンセル回路であって、

前記直流オフセット成分のオフセット量を検出する検出部と、前記検出部から出力される検出信号に応じた検出結果を保持しておく保持部と、前記直流オフセット成分を識別するフィルタ部とを備え、前記保持部または前記フィルタ部の何れか一方が活性化されることを特徴とするDCオフセットキャンセル回路。

【請求項2】 前記フィルタ部には前記検出信号が入力され、前記検出部と前記保持部とを含んで前記信号処理部に戻る第1帰還ループと、前記検出部と前記フィルタ部とを含んで前記信号処理部に戻る第2帰還ループとを備え、前記第1または第2帰還ループの何れか一方が活性化されることを特徴とする請求項1に記載のDCオフセットキャンセル回路。

【請求項3】 前記フィルタ部には前記検出信号が入力され、前記フィルタ部の周波数帯域を切り換える第1切り換え部と、前記検出部、前記フィルタ部、及び前記保持部をこの順序に含んで前記信号処理部に戻る第3帰還ループとを備えることを特徴とする請求項1に記載のDCオフセットキャンセル回路。

【請求項4】 前記フィルタ部は、ローパスフィルタまたは積分回路を備えることを特徴とする請求項2または3に記載のDCオフセットキャンセル回路。

【請求項5】 前記フィルタ部には前記出力信号が入力され、前記検出部と前記保持部とを含んで前記信号処理部に戻る帰還ループを備えることを特徴とする請求項1に記載のDCオフセットキャンセル回路。

【請求項6】 前記フィルタ部をバイパスする第2バイパス経路と、前記フィルタ部を介する第2経路または前記第2バイパス経路の何れか一方を選択する第2選択部とを備えることを特徴とする請求項5に記載のDCオフセットキャンセル回路。

【請求項7】 前記フィルタ部は、ハイパスフィルタを備えることを特徴とする請求項5または6に記載のDCオフセットキャンセル回路。

【請求項8】 前記保持部は、前記検出信号に応じて信号処理された前記直流オフセット成分の補正値を前記検出結果として保持することを特徴とする請求項1乃至3のうち少なくとも何れか1項または請求項5または6に記載のDCオフセットキャンセル回路。

【請求項9】 前記補正値は、トリガ信号により更新されることを特徴とする請求項8に記載のDCオフセット

キャンセル回路。

【請求項10】 前記保持部が非活性化状態にある場合、前記保持部には前記補正値は保持されないことを特徴とする請求項8に記載のDCオフセットキャンセル回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、出力信号に混入する直流オフセット成分のキャンセルに関するものであり、特に、携帯電話等の移動体通信に用いられる受信機に関するものである。

【0002】

【従来の技術】近年、普及の著しい携帯電話に代表される移動体無線通信機は、その小型・軽量化、多機能化への要求に対応するため、従来より無線処理部に用いられてきたスーパーヘテロダイン方式に代えて、中間周波数信号（IF信号）が不要で無線信号（RF信号）を直接ベースバンド信号に変換するダイレクトコンバージョン方式が採用されてきている。中間周波数信号（IF信号）の処理部分が不要になる分、スーパーヘテロダイン方式に比して回路規模を圧縮することができ、機器の小型・軽量化、多機能化に寄与することができる。

【0003】ただし、ダイレクトコンバージョン方式では、無線信号（RF信号）を直接ベースバンド信号に変換するため、従来のように中間周波数信号（IF信号）において帯域通過フィルタ等で除去されていた不要なDCオフセット成分を除去することができず、別途、DCオフセットをキャンセルする回路が必要となる。

【0004】図8乃至11に、従来より用いられているDCオフセットキャンセル回路を例示する。このうち図8乃至10の回路構成は、FDMA（周波数分割多重接続）やCDMA（符号分割多重接続）等の時間的に連続した無線信号を受信する通信方式に適用して好適な回路構成である。これに対して、図11の回路構成は、TDMA（時分割多重接続）等の時間的に不連続な無線信号を受信する通信方式に適用して好適な回路構成である。以下の説明では、時間的に連続した無線信号を受信する通信方式を、TDMA方式に対して、非TDMA方式と記す。

【0005】ここで、FDMA（周波数分割多重接続）とは、チャンネル毎に異なる周波数を割り当てる通信方式であり、またCDMA（符号分割多重接続）とは、チャンネル毎に異なる符号を割り当てる通信方式であり、何れの通信方式も受信信号は時間的に連続している。これに対して、TDMA（時分割多重接続）方式では、所定長の時間スロット毎にチャンネルを割り当て、各チャンネルを巡回して通信を行なう通信方式である。従って、受信動作は所定時間スロット内でのみ行なわれる。

【0006】図8に示す第1従来技術の回路構成110では、差動入力信号IN、XINから増幅器（AMP）

11を介して差動出力信号OUT、XOUTに至る信号経路上に、ハイパスフィルタ(HPF)101、102が備えられることにより、DCオフセット成分がキャンセルされる回路構成である。図8では、増幅器(AMP)11の入力側と出力側との双方に、各々ハイパスフィルタ(HPF)101とハイパスフィルタ(HPF)102とが備えられる構成であり、2段階でDCオフセット成分がカットされる場合である。これ以外にも、何れか一方のハイパスフィルタ(HPF)を備えて構成することもできる。ハイパスフィルタ(HPF)101、102は信号経路上に容量素子を備えて構成されており、必要に応じて容量素子の出力側と基準電圧との間に抵抗素子を備えて構成される。回路構成110は、DCオフセット信号がアナログ信号のままフィルタリングされることによりキャンセルされる。時間的に連続している非TDMA方式に適用して好適な回路例である。

【0007】図9に示す第2従来技術の回路構成120では、差動出力信号OUT、XOUTが積分回路103により積分されて、差動入力信号IN、XINにフィードバックされることによりDCオフセットがキャンセルされる。積分回路103は、コンパレータ12の差動入出力間に抵抗素子及び容量素子(R101とC101、及びR102とC102)で構成される時定数回路が接続されて構成される。抵抗素子R101、R102を介して入力される差動出力信号OUT、XOUTは、AC成分である信号成分とDC成分であるオフセット成分とが含まれるが、抵抗素子及び容量素子(R101とC101、及びR102とC102)で決定される時定数に応じて積分回路103により積分されることにより、所定のDCオフセット成分のみが増幅器(AMP)11にフィードバックされる。図9では、フィードバック信号が直接、差動入力信号IN、XINにフィードバックされる構成を示しているが、増幅器(AMP)11のDCオフセットを調整することができるポイントであれば、これ以外のポイントにフィードバックすることも可能である。例えば、増幅器(AMP)11の入力段差動対へのバイアス電流源にフィードバックすることもできる。回路構成120は、アナログ信号を積分してDCオフセット信号の補正値を算出する。時間的に連続している非TDMA方式に適用して好適な回路例である。

【0008】ここで、コンパレータ12とは、所定ゲインを有しており、入力される差動出力信号OUT、XOUTの差分信号に応じた信号を出力する機能を有する回路である。

【0009】図10に示す第3従来技術の回路構成130では、差動出力信号OUT、XOUTがコンパレータ12で比較され、比較結果として得られる差動出力信号が抵抗素子及び容量素子(R103とC103、及びR104とC104)で構成されるローパスフィルタ104を介して増幅器(AMP)11にフィードバックされ

ることによりDCオフセットがキャンセルされる。差動出力信号OUT、XOUT及びその比較結果は、AC成分である信号成分とDC成分であるオフセット成分とを含んでいるが、ローパスフィルタ104により所定のDCオフセット成分のみが抽出され、増幅器(AMP)11にフィードバックされる。図9とは異なり、フィードバック信号は、増幅器(AMP)11の入力段差動対へのバイアス電流源等の内部回路にフィードバックされる構成である。回路構成130は、アナログ信号をローパスフィルタでフィルタリングしてDCオフセット信号の補正値を算出する。時間的に連続している非TDMA方式に適用して好適な回路例である。

【0010】図11に示す第4実施形態の回路構成140では、差動出力信号OUT、XOUTはコンパレータ12で比較された後、AD変換器18によりデジタル信号に変換される。このデジタル信号は、信号処理回路(DSP)13において信号処理されることによりDCオフセットに対する補正信号を出力する。この補正信号はデジタル信号であるのでDA変換器17でアナログ信号に変換された後、増幅器(AMP)11にフィードバックされる。TDMA方式のように、所定通信時間サイクル中の所定時間スロットがオフセット量検出時間として設定されている場合に、信号処理され算出された補正値が、信号処理回路(DSP)13あるいはDA変換器17に保持されてDCオフセットのキャンセルが行なわれる。回路構成140は、アナログ信号をデジタル信号に変換して信号処理をすることによりDCオフセット信号の補正値を算出する。所定通信時間サイクル中の所定時間スロットを信号成分が受信されないオフセット量検出時間として設け、この所定時間スロットに次の通信時間サイクルにおけるDCオフセットの補正値を決定するTDMA方式に適用して好適な回路例である。

【0011】更に、移動体無線通信機の通信方式としては、日本ではFDMA方式であるPDCが普及しており、欧州ではTDMA方式であるGSMが普及しているというように地域ごとに異なる通信方式が普及しているのが現状である。また、次世代の通信方式としてはW-CDMA方式が検討されており、次世代通信方式への移行過渡期間においては更に異なる通信方式が混在する可能性もある。そこで、1つの通信機器が複数の通信方式に対応するように構成されていれば便利である。このような要請から、TDMA方式と非TDMA方式との何れの通信方式にも対応できるデュアルモード構成の受信機が提案されている。図12に示すようにDCオフセットキャンセル回路の切り換えを可能とした回路構成である。選択回路105、106により、DCオフセットキャンセル回路を、TDMA方式の場合には回路構成140を使用し、非TDMA方式の場合には回路構成110、120、または130を使用するように切り換える機能を有するものである。

【0012】

【発明が解決しようとする課題】しかしながら、図12に示す切り替え回路構成を有するDCオフセットキャンセル回路では、TDMA方式に好適なDCオフセットキャンセル回路140と、非TDMA方式に好適なDCオフセットキャンセル回路110、120、または130との両回路構成を共に備えなければならない。更に、何れのDCオフセットキャンセル回路を選択するかを制御する選択回路105、105、106、106や、制御信号を出力する制御回路（不図示）も必要となる。小型・軽量化が要請されている携帯電話等の移動体無線通信機器においては、回路規模が大きくなってしまい問題である。

【0013】また、第1乃至第3従来技術における非TDMA方式に好適な回路構成110乃至130を、TDMA方式においても使用することも考えられなくはない。しかしながら、非TDMA方式において信号成分がカットされず確実に伝播するためには、第1従来技術のハイパスフィルタ101、102の周波数帯域を十分に低い周波数にしてDCオフセット成分のみをカットする必要がある。また、第2従来技術の積分回路103の時定数を十分に大きくし、あるいは第3従来技術のローパスフィルタ104の周波数帯域を十分に低くして、DCオフセット成分のみを補正值としてフィードバックする必要がある。これらの方策は何れも容量素子C101乃至C104の容量値を十分に大きな値にすることを意味する。そのため、チャンネル毎に所定通信時間サイクル中の所定時間スロットが割り当てられこの時間にのみ信号を受信するTDMA方式においてこれらの回路構成110乃至130を使用すると、所定時間スロットにおける受信信号の立ち上り時間が長くなってしまい高速動作に追従できないおそれもあり問題である。

【0014】逆に、第4従来技術におけるTDMA方式に好適な回路構成140を、非TDMA方式においても使用することも考えられなくはない。しかしながら、TDMA方式は、チャンネル毎に所定通信時間サイクル中の所定時間スロットが割り当てられると共にオフセット量検出時間も所定時間スロットが割り当てられており、各チャンネル及びオフセット量の検出は、各々の所定時間スロットにおいて行なわれる通信方式である。そのため、オフセット量の検出のための特別の時間を確保することができない非TDMA方式に対しては使用することはできず問題である。

【0015】本発明は前記従来技術の問題点を解消するためになされたものであり、TDMA方式及び非TDMA方式の何れの通信方式にも対応することができるデュアルモード構成の受信機に適用して、各々の通信方式に好適なDCオフセットキャンセル回路をコンパクトな回路構成で提供することを目的とする。

【0016】

【課題を解決するための手段】前記目的を達成するため、請求項1に係るDCオフセットキャンセル回路は、入力信号に対して信号処理を行なう信号処理部からの出力信号に混入する直流オフセット成分のオフセット量を検出する検出部と、検出部から出力される検出信号に応じた検出結果を保持しておく保持部と、直流オフセット成分を識別するフィルタ部とを備え、保持部またはフィルタ部の何れか一方が活性化されることを特徴とする。

【0017】請求項1のDCオフセットキャンセル回路では、保持部が活性化されると、信号処理部からの出力信号に混入する直流オフセット成分のオフセット量が検出部で検出され検出信号に応じた検出結果が保持部で保持されて、検出結果に応じた直流オフセット成分がキャンセルされる。フィルタ部が活性化されると、直流オフセット成分が識別されて直流オフセット成分がキャンセルされる。

【0018】これにより、所定通信時間サイクル中の所定時間スロットが直流オフセット成分のオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、検出部でオフセット量を検出し検出信号に応じた検出結果を保持部で保持することにより、保持されている検出結果に応じた直流オフセット成分をキャンセルすることができる。オフセット量を検出するための特別な時間が設けられておらず時間的に連続して検出動作を行なうオフセットの検出方式の場合には、フィルタ部で直流オフセット成分を識別することにより、直流オフセット成分をキャンセルすることができる。検出部、保持部、及びフィルタ部を備えていれば、何れの検出方式に対しても出力信号の直流オフセット成分を除去することができる。検出方式ごとに異なるDCオフセットキャンセル回路を個別に備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0019】ここで、直流オフセット成分とは、信号処理部が出力する有意な信号を含む周波数帯域より低周波数帯域の信号成分のことであり、有意な信号成分には寄与しない不必要な信号成分をいう。

【0020】また、請求項2に係るDCオフセットキャンセル回路は、請求項1に記載のDCオフセットキャンセル回路において、フィルタ部には検出信号が入力され、検出部と保持部とを含んで信号処理部に戻る第1帰還ループと、検出部とフィルタ部とを含んで信号処理部に戻る第2帰還ループとを備え、第1または第2帰還ループの何れか一方が活性化されることを特徴とする。

【0021】請求項2のDCオフセットキャンセル回路では、保持部が活性化される場合には、検出部と保持部とを含んで信号処理部に戻る第1帰還ループが形成され、検出信号に応じた検出結果が保持部から信号処理部にフィードバックされて直流オフセット成分が相殺される。フィルタ部が活性化される場合には、検出部とフィルタ部とを含んで信号処理部に戻る第2帰還ループが形

成され、フィルタ部により直流オフセット成分が識別されて信号処理部にフィードバックされて直流オフセット成分が相殺される。

【0022】これにより、所定時間スロットが直流オフセット成分のオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、検出部と保持部とを含む第1帰還ループが信号処理部のフィードバックループとして形成されるので、オフセット量検出時間に検出され保持部に保持されている検出結果がフィードバックされて、直流オフセット成分を相殺することができる。時間的に連続したオフセット量の検出を行なうオフセットの検出方式の場合には、検出部とフィルタ部とを含む第2帰還ループが信号処理部のフィードバックループとして形成されるので、常時、検出部で検出された検出信号に対して直流オフセット成分が識別され信号処理部にフィードバックされて、直流オフセット成分を相殺することができる。オフセットの検出方式に応じて、検出部と保持部とを含んで形成される第1帰還ループ、または検出部とフィルタ部とを含んで形成される第2帰還ループの何れか一方の帰還ループが選択的に活性化されることにより、信号処理部に直流オフセット成分を相殺するフィードバックをかけることができる。検出方式ごとに異なるDCオフセットキャンセル回路を2セット備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0023】また、請求項3に係るDCオフセットキャンセル回路は、請求項1に記載のDCオフセットキャンセル回路において、フィルタ部には検出信号が入力され、フィルタ部の周波数帯域を切り換える第1切り換え部と、検出部、フィルタ部、及び保持部をこの順序に含んで信号処理部に戻る第3帰還ループとを備えることを特徴とする。

【0024】請求項3のDCオフセットキャンセル回路では、第3帰還ループが、検出部、フィルタ部、及び保持部をこの順序に含んで形成されており、フィルタ部により識別される直流オフセット成分を信号処理部にフィードバックする場合には、所定の周波数帯域で識別されるように第1切り換え部が設定され、フィルタ部により識別された信号が保持部に保持された上で信号処理部にフィードバックされて直流オフセット成分が相殺される。検出部から出力される検出信号に応じた検出結果を信号処理部にフィードバックする場合には、フィルタ部におけるフィルタ機能が排除されるように第1切り換え部が設定され、保持部に入力された検出結果に基づき信号処理部にフィードバックされて直流オフセット成分が相殺される。

【0025】これにより、時間的に連続したオフセット量の検出を行なうオフセットの検出方式の場合には、第1切り換え部によりフィルタ部が所定の周波数帯域を識別するように設定されるので、第3帰還ループはフィル

タ部で識別した信号を保持部で保持してフィードバックすることができ、フィルタ部で識別された所定の周波数帯域に応じて直流オフセット成分を相殺することができる。所定時間スロットがオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、第1切り換え部によりフィルタ部のフィルタ機能が排除されるように設定されるので、第3帰還ループは検出部からの検出信号に応じた検出結果をフィードバックすることができ、検出部の検出結果に応じて直流オフセット成分を相殺することができる。オフセットの検出方式に応じて、フィルタ部が識別する周波数帯域を切り換えることによりフィルタ機能の有無の切り換えることができるので、信号処理部にフィードバックすべき直流オフセット成分を的確に切り換えることができる。検出方式ごとに異なるDCオフセットキャンセル回路を2セット備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0026】ここで、フィルタ機能を排除する際の第1切り換え部による切り換えの様子は、フィルタ部において識別すべき周波数帯域から設定周波数をずらすことその他、フィルタ部を構成する構成素子をフィルタ部から切り離してフィルタ機能を停止させたり、フィルタ部を介さない経路を接続してフィルタ部をバイパスしたりすることによっても構成することができる。

【0027】また、請求項4に係るDCオフセットキャンセル回路は、請求項2または3に記載のDCオフセットキャンセル回路において、フィルタ部は、ローパスフィルタまたは積分回路を備えることを特徴とする。

【0028】請求項4のDCオフセットキャンセル回路では、ローパスフィルタまたは積分回路により、除去すべき直流オフセット成分に対応する直流信号成分が信号処理部にフィードバックされる。

【0029】これにより、第2または第3帰還ループに含まれるフィルタ部において抽出され信号処理部にフィードバックされる信号は、検出部から出力される検出信号から有意な信号成分を含む周波数帯域を除いた、低周波数帯域および直流の信号成分となるので、相殺すべき直流オフセット成分をフィードバックすることができる。

【0030】また、請求項5に係るDCオフセットキャンセル回路は、請求項1に記載のDCオフセットキャンセル回路において、フィルタ部には出力信号が入力され、検出部と保持部とを含んで信号処理部に戻る帰還ループを備えることを特徴とする。

【0031】請求項5のDCオフセットキャンセル回路では、フィルタ部は信号処理部から出力される出力信号の信号経路に配置され、フィルタ部が活性化される場合には、出力信号に混入する直流オフセット成分が除去される。保持部が活性化される場合には、検出部と保持部とを含んで信号処理部に戻る帰還ループが形成され、検

出信号に応じた検出結果が保持部から信号処理部にフィードバックされて、直流オフセット成分が相殺される。

【0032】これにより、所定時間スロットが直流オフセット成分のオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、検出部と保持部とを含む帰還ループが信号処理部のフィードバックループとして形成されるので、オフセット量検出時間に検出され保持部に保持されている検出結果がフィードバックされて直流オフセット成分を相殺することができる。時間的に連続したオフセット量の検出を行なうオフセットの検出方式の場合には、フィルタ部が信号処理部から出力される出力信号の信号経路に配置されるので、出力信号に混入する直流オフセット成分を常時識別して直流オフセット成分を除去することができる。オフセットの検出方式に応じて、検出部と保持部とを含んで形成される帰還ループによるオフセット成分の相殺、またはフィルタ部によるオフセット成分の除去を選択的に活性化することができる。検出方式ごとに異なるDCオフセットキャンセル回路を2セット備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0033】また、請求項6に係るDCオフセットキャンセル回路は、請求項5に記載のDCオフセットキャンセル回路において、フィルタ部をバイパスする第2バイパス経路と、フィルタ部を介する第2経路または第2バイパス経路の何れか一方を選択する第2選択部とを備えることを特徴とする。

【0034】請求項6のDCオフセットキャンセル回路では、フィルタ部により出力信号の経路上で直流オフセット成分を除去する場合には、信号処理部からフィルタ部を介する第2経路が選択されるように第2選択部が設定される。検出信号に応じた検出結果を保持部から信号処理部にフィードバックして直流オフセット成分を相殺する場合には、フィルタ部をバイパスする第2バイパス経路が選択されるように第2選択部が設定される。

【0035】これにより、時間的に連続したオフセット量の検出を行なうオフセットの検出方式の場合には、第2選択部により、フィルタ部が信号処理部から出力される出力信号の信号経路に配置される第2経路が選択されるので、出力信号に混入する直流オフセット成分を常時識別して直流オフセット成分を除去することができる。尚、第2経路が選択されてフィルタ部によるオフセット成分の除去が行なわれる際には、帰還ループは非活性化されていることが好ましい。所定時間スロットがオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、第2選択部により、第2バイパス経路が選択されてフィルタ部がバイパスされるので、帰還ループにより検出部からの検出信号に応じた検出結果をフィードバックすることができ、検出部の検出結果に応じて直流オフセット成分を相殺することができる。オフセ

ットの検出方式に応じて、フィルタ部を介する第2経路と、フィルタ部をバイパスする第2バイパス経路とが選択されるので、オフセットの検出方式を的確に切り換えることができる。検出方式ごとに異なるDCオフセットキャンセル回路を2セット備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0036】ここでは、フィルタ部をバイパスする構成として第2バイパス経路を選択する構成を示したが、この他に、フィルタ部において識別すべき周波数帯域から設定周波数をずらしたり、フィルタ部を構成する構成素子をフィルタ部から切り離してフィルタ機能を停止させたりすることにより、フィルタ機能を排除する構成とすることもできる。

【0037】また、請求項7に係るDCオフセットキャンセル回路は、請求項5または6に記載のDCオフセットキャンセル回路において、フィルタ部は、ハイパスフィルタを備えることを特徴とする。

【0038】請求項7のDCオフセットキャンセル回路では、ハイパスフィルタにより、除去すべき直流オフセット成分に対応する直流オフセット成分が出力信号から除去される。

【0039】これにより、信号処理部から出力される出力信号から直流オフセット成分である低周波数帯域および直流の信号成分を除いた所定周波数帯域以上の信号成分が抽出されるので、出力信号から直流オフセット成分を除去することができる。

【0040】また、請求項8に係るDCオフセットキャンセル回路は、請求項1乃至3のうち少なくとも何れか1項または請求項5または6に記載のDCオフセットキャンセル回路において、保持部は、検出信号に応じて信号処理された直流オフセット成分の補正値を検出結果として保持することを特徴とする。

【0041】請求項8のDCオフセットキャンセル回路では、保持部では、検出信号に応じて信号処理を行ない、直流オフセット成分の補正値を算出する。

【0042】これにより、検出信号に応じた直流オフセット成分の補正値を算出した上で保持部に保持しておくことができ、保持された補正値がフィードバックされて直流オフセット成分を相殺することができる。

【0043】また、請求項9に係るDCオフセットキャンセル回路は、請求項8に記載のDCオフセットキャンセル回路において、補正値は、トリガ信号により更新されることを特徴とする。

【0044】請求項9のDCオフセットキャンセル回路では、トリガ信号に応じて補正値が更新されるので、トリガ信号が入力されるまでは、一定の補正値を保持し続ける。

【0045】これにより、保持部に保持されている直流オフセット成分の補正値は、所定時間スロット等のオフ

セット量検出時間に応じてトリガ信号を出力するようにすれば、オフセット量検出時間ごとに直流オフセット成分の補正値を更新することができる。

【0046】また、請求項10に係るDCオフセットキャンセル回路は、請求項8に記載のDCオフセットキャンセル回路において、保持部が非活性化状態にある場合、保持部には補正値は保持されないことを特徴とする。

【0047】請求項10のDCオフセットキャンセル回路では、保持部が非活性状態にある状態では補正値が保持されないで、保持部からのフィードバックにより信号処理部の直流オフセット成分が変動してしまうことはない。

【0048】これにより、保持部を介さずフィルタ部により直流オフセット成分の除去または相殺を行なう際、保持部からのフィードバック量をゼロにすることができ、切り換えスイッチ等の帰還ループの開放手段を設けることなく、保持部からのフィードバックによる直流オフセット成分の変動を抑止することができる。

【0049】ここで、本発明の原理について図1および図2に基づき説明する。図1に示す第1原理説明図は、本発明のうち請求項1に示す発明の原理を構成するブロック図である。図2に示す第2原理説明図は、本発明のうち請求項5に示す発明の原理を構成するブロック図である。

【0050】図1の第1原理説明図では、差動入力信号IN、XINを信号処理部である増幅器(AMP)1で増幅して差動出力信号OUT、XOUTを出力する際、差動出力信号OUT、XOUTに混入する直流オフセット成分をキャンセルする方法として、第1または第2帰還ループにより直流オフセットを相殺する場合を示している。

【0051】オフセットの検出方式として、所定通信時間サイクル中の所定時間スロットが直流オフセット成分のオフセット量検出時間として割り当てられている場合には、選択信号SELに応じて保持部3が選択される。図1では、選択部5により保持部3側が選択される構成を例示している。検出部であるコンパレータ2が差動出力信号OUT、XOUTの差分信号に応じた検出信号を出力して、保持部3において検出信号に応じた検出結果が保持される。検出結果の保持動作は、トリガ信号であるストロブ信号STBに応じて行われる。このストロブ信号STBは図示しない制御回路により制御され、所定時間スロットのオフセット量検出時間に出力される。ストロブ信号STBの出力に応じてコンパレータ2の検出信号が保持部3に inputs される。保持部3では、検出信号に応じた検出結果がそれまで保持されていた検出結果を書き換えて更新される。保持部3からの出力信号が選択部5を介して増幅器(AMP)1にフィードバックされて直流オフセットが相殺される。この時のフィ

ードバック量は、オフセット量検出時間ごとに更新されるまでは保持された一定のフィードバック量となる。コンパレータ2と保持部3とを含んで形成される帰還ループが第1帰還ループである。

【0052】オフセットの検出方式として、オフセット量を検出するための特別な時間が設けられておらず時間的に連続して検出動作を行なうオフセットの検出方式の場合には、選択信号SELに応じてフィルタ部4が選択される。コンパレータ2から出力される検出信号がフィルタ部4に inputs される。フィルタ部4では所定周波数帯域が識別され、選択部5を介して増幅器(AMP)1にフィードバックされて直流オフセットが相殺される。この場合には、コンパレータ2とフィルタ部4を介して、常時、差動出力信号OUT、XOUTの差動信号が検出されて増幅器(AMP)1にフィードバックがかかっている状態である。コンパレータ2とフィルタ部4とを含んで形成される帰還ループが第2帰還ループである。

【0053】尚、選択部5に inputs されている選択信号SELを保持部3およびフィルタ部4に inputs して選択された何れか一方を活性化することにより、第1または第2帰還ループを形成するように構成することもできる。この場合には選択部5を備える必要はない。保持部3またはフィルタ部4の何れか一方が活性化されて第1または第2帰還ループが形成される際には、他方は非活性化状態に維持され第2または第1帰還ループが形成されることはない。

【0054】図2の第2原理説明図では、差動入力信号IN、XINを信号処理部である増幅器(AMP)1で増幅して差動出力信号OUT、XOUTを出力する際、差動出力信号OUT、XOUTに混入する直流オフセット成分をキャンセルする方法として帰還ループにより直流オフセットを相殺し、またはフィルタ部4により直流オフセットを除去する場合を示している。

【0055】オフセットの検出方式として、所定通信時間サイクル中の所定時間スロットが直流オフセット成分のオフセット量検出時間として割り当てられている場合には、第1原理図と同様な構成により帰還ループを形成してオフセット成分を相殺する。コンパレータ2と保持部3を含んで形成される帰還ループは第1原理説明図の場合と同様であり、同様の作用・効果を奏するのでここでの説明は省略する。第2原理説明図では、第1原理説明図の選択部5に代えて、増幅器(AMP)1から差動出力信号OUT、XOUTが出力される経路に選択部6を備えている。帰還ループを使用してオフセットを相殺する場合にはフィルタ部4は使用しないので、選択信号SELにより選択部6を選択してフィルタ部4を介さず差動出力信号OUT、XOUTを出力する経路が形成される。

【0056】オフセットの検出方式として、オフセット量を検出するための特別な時間が設けられておらず時間

的に連続して検出動作を行なうオフセットの検出方式の場合には、帰還ループに代えてフィルタ部4によりオフセットを除去するために、選択信号SELにより選択部6が選択されて増幅器(AMP)1から差動出力信号OUT、XOUTが出力される経路にフィルタ部4が接続される。フィルタ部4では所定周波数帯域が識別されて有意な信号成分を有する周波数帯域の信号が差動出力信号OUT、XOUTとして出力される。

【0057】尚、フィルタ部4が活性化される場合には、保持部3を含む帰還ループを非活性化する必要があることは言うまでもない。

【0058】

【発明の実施の形態】以下、本発明のDCオフセットキャンセル回路について具体化した第1乃至第5実施形態を図3乃至図7に基づき図面を参照しつつ詳細に説明する。ここで、第1乃至第3実施形態に示すDCオフセットキャンセル回路10乃至30は、第1原理説明図(図1)を具体化した実施形態であり、第4および第5実施形態に示すDCオフセットキャンセル回路40および50は、第2原理説明図(図2)を具体化した実施形態である。図3は、第1実施形態の回路ブロック図である。図4は、第2実施形態の回路ブロック図である。図5は、第3実施形態の回路ブロック図である。図6は、第4実施形態の回路ブロック図である。図7は、第5実施形態の回路ブロック図である。

【0059】図3に示す第1実施形態のDCオフセットキャンセル回路10では、差動入力信号IN、XINが増幅器(AMP)11で増幅されて差動出力信号OUT、XOUTを出力する。差動出力信号OUT、XOUTはコンパレータ12により比較され、差動信号に応じた検出信号が出力される。コンパレータ12から出力される差動の検出信号は、AD変換器18とローパスフィルタ(LPF)14とに入力される。AD変換器18でAD変換された検出信号はデジタル信号として信号処理回路(DSP)13に入力されて信号処理された後、DA変換器17によりアナログ信号に再変換される。DA変換器の出力とローパスフィルタ(LPF)14の出力とは相互に接続されて増幅器(AMP)11にフィードバックされる。コンパレータ12、AD変換器18、信号処理回路(DSP)13、及びDA変換器17とを備えて形成される第1帰還ループと、コンパレータ12、ローパスフィルタ(LPF)14とを備えて形成される第2帰還ループとが備えられている。

【0060】帰還ループの選択は、選択信号SEL1、SEL2により行なわれる。選択信号SEL1、SEL2が、信号処理回路(DSP)13、ローパスフィルタ(LPF)14の各々に入力されており、選択信号SEL1、SEL2のうち何れか一方が択一的に選択されて、信号処理回路(DSP)13またはローパスフィルタ(LPF)14のうち何れか一方を択一的に活性化す

る。このとき、選択されない構成要素については非活性化された状態となる。DCオフセットキャンセル回路10では、信号処理回路(DSP)13とローパスフィルタ(LPF)14との出力は直接接続される回路構成であるため、非活性化された構成要素については回路動作が停止されると共に出力がフローティングの状態に維持されることとなる。この回路方式を採らず両出力を選択的に接続する回路構成とすることもできる。これにより、第1または第2帰還ループの何れか一方が活性化される。また、ストロブ信号STBは、信号処理回路(DSP)13のトリガ信号として入力されている。

【0061】所定時間スロットが直流オフセット成分のオフセット量検出時間として割り当てられるTDMA方式等では、選択信号SEL1が選択されて第1帰還ループが活性化される。オフセット量検出時間に応じてストロブ信号STBが活性化され、コンパレータ12により検出された検出信号を取り込むことができる。取り込みの際し、アナログ信号である検出信号は、AD変換器18によりデジタル信号に変換された上で信号処理回路(DSP)13に取り込まれる。取り込まれたデジタル信号は、信号処理回路(DSP)13によりデジタル信号処理が施され検出信号に応じたオフセットの補正值が算出される。この補正值は、デジタル信号として次のストロブ信号の活性化まで信号処理回路(DSP)13内に保持される。こうして保持されたデジタル信号の補正值は、DA変換器17を介してアナログ量に変換された上で増幅器(AMP)11にフィードバックされる。

【0062】オフセット量の検出時間として所定時間スロットが割り当てられるTDMA方式等の通信方式において、検出されたオフセット量に応じた補正值を保持しておき、次の検出時間までの間の補正值とすることができる。

【0063】オフセットの補正值算出のための特別な時間を確保することができず、時間的に連続してオフセット量の検出が行なわれるFDMAやCDMA等の非TDMA方式では、選択信号SEL2が選択されて第2帰還ループが活性化される。コンパレータ12により検出される検出信号は、差動出力信号OUT、XOUTの差動信号に応じた出力される信号であり、直流オフセット成分と共に有意な信号成分を含んだ信号である。この検出信号をローパスフィルタ(LPF)14に入力することにより直流オフセット成分のみを通過させて、増幅器(AMP)11にフィードバックする。ローパスフィルタ(LPF)14のフィルタ時定数を、信号成分を含む周波数帯域に比して十分に低い周波数の周波数帯域に設定しておけば、ローパスフィルタ(LPF)14から出力される信号は直流オフセット成分のみとすることができ、この信号をフィードバックさせることにより、増幅器(AMP)11から出力される差動出力信号OUT、

XOUTに混入されるオフセット成分を有効に相殺することができる。

【0064】オフセットの補正值算出のための特別な時間がなく、時間的に連続してオフセット量の検出が行なわれる非TDMA方式において、検出信号からオフセット量のみを抽出して補正值としてフィードバックさせることができる。

【0065】以上に説明したように、第1実施形態のDCオフセットキャンセル回路10によれば、所定時間スロットがオフセット量検出時間として割り当てられるTDMA方式等におけるオフセットの検出方式の場合には、オフセット量の検出部であるコンパレータ12と、保持部である、AD変換器18、信号処理回路(DSP)13、及びDA変換器17とを含む第1帰還ループが信号処理部である増幅器(AMP)11のフィードバックループとして形成される。これにより、オフセット量検出時間に検出された検出信号は、デジタル信号に変換されて信号処理されてオフセット量のデジタルの補正值として保持される。そして、アナログ値に変換されてフィードバックされ直流オフセット成分を相殺することができる。

【0066】時間的に連続したオフセット量の検出を行なう非TDMA方式におけるオフセットの検出方式の場合には、コンパレータ12とフィルタ部であるローパスフィルタ(LPF)14とを含む第2帰還ループが増幅器(AMP)11のフィードバックループとして形成される。これにより、常時、コンパレータ12で検出された検出信号に対して直流オフセット成分を識別して増幅器(AMP)11にフィードバックして、直流オフセット成分を相殺することができる。

【0067】オフセットの検出方式に応じて、第1または第2帰還ループの何れか一方の帰還ループを選択して活性化することにより、増幅器(AMP)11に直流オフセット成分を相殺するフィードバックをかけることができる。検出方式ごとに異なるDCオフセットキャンセル回路を2セット備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0068】また、保持部を構成する信号処理回路(DSP)13に保持されている直流オフセット成分のデジタルの補正值は、オフセット量検出時間に応じて出力されるトリガ信号であるストローブ信号STBにより、オフセット量検出時間ごとに更新することができる。

【0069】図4に示す第2実施形態のDCオフセットキャンセル回路20では、第1実施形態のDCオフセットキャンセル回路10における第1および第2帰還ループに代えて、コンパレータ12、ローパスフィルタ(LPF)14A、AD変換器18、信号処理回路(DSP)13、及びDA変換器17をこの順に備える第3帰還ループを形成している。

【0070】ここで、ローパスフィルタ(LPF)14

Aは、容量素子C1、C2と抵抗素子R1、R2とにより構成されるが、信号経路と容量素子C1、C2との間に第1切換スイッチ部15が備えられており、選択信号SEL2により制御される。制御信号SEL2が活性化されローパスフィルタ(LPF)14Aによるオフセットの相殺をさせたい場合に、容量素子C1、C2が信号経路に接続されてローパスフィルタ(LPF)14Aが所定周波数帯域のフィルタ機能を奏する。ローパスフィルタ(LPF)14Aにより、有意な信号成分と直流オフセット成分とを含んだ検出信号から直流オフセット成分が抽出される。抽出されたオフセット成分は、デジタル信号に変換された後信号処理され、デジタルの補正值として信号処理回路(DSP)13に保持される。このデジタルの補正值がアナログ信号に変換されて増幅器(AMP)11にフィードバックされる。このフィードバック動作は時間的に連続しており、非TDMA方式の際に適用することができる。

【0071】一方、選択信号SEL2が非活性化されると、ローパスフィルタ(LPF)14Aから容量素子C1、C2が切り離されてフィルタ機能が機能しなくなる。この時の帰還ループの構成は、第1実施形態のDCオフセットキャンセル回路10における第1帰還ループと同等の構成となり、TDMA方式の際に適用することができる。ここでは、選択信号SEL1を使用していないが、選択信号SEL1の活性状態は選択信号SEL2の非活性状態であるとして構成されている。

【0072】尚、DCオフセットキャンセル回路20では、ローパスフィルタ(LPF)14Aにおいて容量素子C1、C2の接続・切り離しの場合を例示して説明したが、容量素子C1、C2を完全に切り離す場合の他、フィルタ時定数を変化させる構成も適用することができる。容量素子あるいは抵抗素子、または双方を切り換えることにより、特性値を低減することでも対応できる。

【0073】また、図5に示す第3実施形態のDCオフセットキャンセル回路30では、第2実施形態のDCオフセットキャンセル回路20におけるローパスフィルタ(LPF)14Aに代えて、ローパスフィルタ(LPF)14を介する帰還信号経路と、ローパスフィルタ(LPF)14をバイパスする帰還信号経路を有しており、何れか一方の帰還信号経路が帰還信号選択部21により選択される構成である。帰還信号経路選択部21は選択信号SEL1、SEL2により制御される。

【0074】制御信号SEL1が活性化される場合は、ローパスフィルタ(LPF)14をバイパスする帰還信号経路が選択され、制御信号SEL2が活性化される場合は、ローパスフィルタ(LPF)14を介する帰還信号経路が選択される。制御信号SEL1、SEL2により選択された帰還信号経路は、AD変換器18に入力される。制御信号SEL1、SEL2によりローパスフィルタ(LPF)14の有無を切り換えることができる。

ローパスフィルタ (LPF) 14の設定が異なる以外は、第2実施形態のDCオフセットキャンセル回路20と同様な回路構成を有しており、同様な作用・効果を奏する。

【0075】以上に説明したように、第2実施形態のDCオフセットキャンセル回路20によれば、時間的に連続したオフセット量の検出を行なう非TDMA方式におけるオフセットの検出方式の場合には、第1切り換え部である第1切換スイッチ部15により容量素子C1、C2が接続されてフィルタ部であるローパスフィルタ (LPF) 14Aが所定の周波数帯域を識別するように設定される。これにより、第3帰還ループはローパスフィルタ (LPF) 14Aで識別した信号を信号処理回路 (DSP) 13で保持してフィードバックすることができる。ローパスフィルタ (LPF) 14Aで識別された所定の周波数帯域以下の直流成分に応じて直流オフセット成分を相殺することができる。

【0076】所定時間スロットがオフセット量検出時間として割り当てられるTDMA方式におけるオフセットの検出方式の場合には、第1切換スイッチ部15により容量素子C1、C2が切り離されて、ローパスフィルタ (LPF) 14Aのフィルタ機能が排除されるように設定される。これにより、第3帰還ループは、検出部であるコンパレータ12からの検出信号に応じた検出結果をフィードバックすることができ、コンパレータ12の検出結果に応じて直流オフセット成分を相殺することができる。

【0077】また、第3実施形態のDCオフセットキャンセル回路30によれば、時間的に連続したオフセット量の検出を行なう非TDMA方式におけるオフセットの検出方式の場合には、帰還信号経路選択部21によりフィルタ部であるローパスフィルタ (LPF) 14を介する帰還信号経路が選択される。これにより、第3帰還ループはローパスフィルタ (LPF) 14で識別した信号を信号処理回路 (DSP) 13で保持してフィードバックすることができる。ローパスフィルタ (LPF) 14で識別された所定の周波数帯域以下の直流成分に応じて直流オフセット成分を相殺することができる。

【0078】所定時間スロットがオフセット量検出時間として割り当てられるTDMA方式におけるオフセットの検出方式の場合には、帰還信号経路選択部21により、ローパスフィルタ (LPF) 14をバイパスする帰還信号経路が選択される。これにより、第3帰還ループは、検出部であるコンパレータ12からの検出信号に応じた検出結果をフィードバックすることができ、コンパレータ12の検出結果に応じて直流オフセット成分を相殺することができる。

【0079】オフセットの検出方式に応じて、ローパスフィルタ (LPF) 14Aまたは14のフィルタ機能の有無を切り換えることができるので、信号処理部である

増幅器 (AMP) 11にフィードバックすべき直流オフセット成分を的確に切り換えることができる。検出方式ごとに異なるDCオフセットキャンセル回路を2セット備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0080】また、第2及び第3実施形態のDCオフセットキャンセル回路20及び30において、他の実施形態と同様な回路構成については、同様の符号を付しており、同様な作用・効果を奏するので、ここでの説明は省略する。

【0081】また、第1乃至第3実施形態のDCオフセットキャンセル回路10乃至30では、ローパスフィルタ (LPF) 14、14Aに代えて、積分回路を備える構成としても同様な作用・効果を得ることができる。

【0082】図6に示す第4実施形態のDCオフセットキャンセル回路40では、差動入力信号IN、XINは増幅器 (AMP) 11で増幅され、ハイパスフィルタ (HPF) 16を介する経路またはバイパスする経路の何れか一方の経路が、出力信号経路選択部22により選択される。増幅器 (AMP) 11の差動出力信号が、コンパレータ12、AD変換器18、信号処理回路 (DSP) 13、及びDA変換器17を備える帰還ループによりフィードバックされる構成は、第1実施形態のDCオフセットキャンセル回路10における第1帰還ループと同様である。

【0083】出力信号経路選択部22による出力信号経路の選択は、選択信号SEL1、SEL2のうち何れか一方が択一的に選択されて行なわれる。このとき、選択されない構成要素については非活性化された状態となる。具体的には、選択信号SEL1が活性化されハイパスフィルタ (HPF) 16をバイパスする出力信号経路が選択されると、ハイパスフィルタ (HPF) 16は出力信号経路が遮断されることにより非活性化される。また、選択信号SEL2が活性化されハイパスフィルタ (HPF) 16を介する出力信号経路が選択されると、信号処理回路 (DSP) 13は補正值の維持されない状態となる。フィードバック量がゼロとなり帰還ループが非活性化されたのと同様な状態となる。尚、他の回路構成として、コンパレータ12への信号経路とハイパスフィルタ (HPF) 16への信号経路との間に信号経路の選択部を備えることにより、何れか一方を活性化し他方を非活性化することも可能である。

【0084】所定時間スロットがオフセット量検出時間として割り当てられるTDMA方式等では、選択信号SEL1が選択されて帰還ループが活性化される。オフセット量検出時間に応じて活性化されるストローブ信号STBにより、信号処理回路 (DSP) 13によりデジタル信号処理が施され検出信号に応じたオフセットの補正值が更新される。このデジタルの補正值が、DA変換器17を介してアナログ量に変換されて増幅器 (AM

P) 11にフィードバックされる。この時、ハイパスフィルタ (HPF) 16をバイパスする出力信号経路が選択され差動出力信号OUT、XOUTが出力される。

【0085】オフセット量の検出のための特別な時間を確保することができず、時間的に連続してオフセット量の検出が行なわれるFDMAやCDMA等の非TDMA方式では、選択信号SEL2が選択されて増幅器 (AMP) 11の差動出力信号はハイパスフィルタ (HPF) 16を介する出力信号経路により差動出力信号OUT、XOUTが出力される。ハイパスフィルタ (HPF) 16により、増幅器 (AMP) 11の差動出力信号から直流オフセット成分が除去され、有意な信号成分が出力される。

【0086】尚、第4実施形態のDCオフセットキャンセル回路40において、他の実施形態と同様な回路構成については、同様の符号を付しており、同様な作用・効果を奏するので、ここでの説明は省略する。

【0087】図7に示す第5実施形態のDCオフセットキャンセル回路50では、第4実施形態のDCオフセットキャンセル回路40における出力信号経路選択部22およびこれに伴う2経路の出力信号経路に代えて、第2切換スイッチ部19が備えられており、差動出力信号OUT、XOUTへの出力信号経路に接続される容量素子の有無を切り換えており、ハイパスフィルタ (HPF) 16のフィルタ機能を切り換えている。

【0088】選択信号SEL1が活性化されると出力信号経路には容量素子は付加されなくなり、ハイパスフィルタ (HPF) 16によるフィルタ機能は停止する。この時の構成は、第4実施形態のDCオフセットキャンセル回路40における帰還ループによるオフセットの相殺の場合と同等であり、TDMA方式の際に適用することができる。

【0089】選択信号SEL2が活性化されると出力信号経路に容量素子が接続され、ハイパスフィルタ (HPF) 16は所定周波数帯域のフィルタ機能を奏することとなる。この時の構成は、第4実施形態のDCオフセットキャンセル回路40におけるハイパスフィルタ (HPF) 16によるオフセットの除去の場合と同様であり、非TDMA方式の際に適用することができる。

【0090】尚、DCオフセットキャンセル回路50では、ハイパスフィルタ (HPF) 16を構成する容量素子の接続・切り離しの場合を例示して説明したが、容量素子を完全に切り離す場合の他、フィルタ時定数を変化させる構成も適用することができる。容量素子の特性値を低減することでも対応できる。

【0091】尚、第5実施形態のDCオフセットキャンセル回路50において、他の実施形態と同様な回路構成については、同様の符号を付しており、同様な作用・効果を奏するので、ここでの説明は省略する。

【0092】以上に説明したように、第4または第5実

施形態のDCオフセットキャンセル回路40または50によれば、時間的に連続したオフセット量の検出を行なうオフセットの検出方式の場合には、第2選択部である出力信号経路選択部22により信号処理部である増幅器 (AMP) 11からフィルタ部であるハイパスフィルタ (HPF) 16を介して差動出力信号OUT、XOUTに至る第2経路が選択され、または第2切換スイッチ部19によりハイパスフィルタ (HPF) 16Aのフィルタ機能が有効とされる。これにより、増幅器 (AMP) 11の差動出力信号に混入する直流オフセット成分を常時識別して、差動出力信号OUT、XOUTから直流オフセット成分を除去することができる。

【0093】この場合、ハイパスフィルタ (HPF) 16、16Aにより直流オフセット成分の除去を行なう際、保持部を構成する信号処理回路 (DSP) 13に補正值を保持しない構成とすることにより、フィードバック量をゼロにすることができ、切り換えスイッチ等の帰還ループの開放手段を設けることなく、フィードバックによる直流オフセット成分の変動を抑止することができる。

【0094】所定時間スロットがオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、出力信号経路選択部22によりハイパスフィルタ (HPF) 16をバイパスする第2バイパス経路が選択され、または第2切換スイッチ部19によりハイパスフィルタ (HPF) 16Aのフィルタ機能が停止されるので、帰還ループにより、検出部であるコンパレータ12からの検出信号に応じた検出結果をフィードバックすることができ、コンパレータ12の検出結果に応じて直流オフセット成分を相殺することができる。

【0095】オフセットの検出方式に応じて、コンパレータ12と保持部を構成する信号処理回路 (DSP) 13とを含んで形成される帰還ループによるオフセット成分の相殺、またはハイパスフィルタ (HPF) 16、16Aによるオフセット成分の除去を選択的に活性化することができる。検出方式ごとに異なるDCオフセットキャンセル回路を2セット備える必要はなく、DCオフセットキャンセル回路をコンパクトに構成することができる。

【0096】尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。例えば、本実施形態においては、増幅器 (AMP) 11の出力信号に混入するDCオフセットを除去または相殺する場合を例に説明したが、本発明はこれに限定されるものではなく、能動フィルタ等、増幅器以外の信号処理回路についても適用することができる。

【0097】(付記1) 入力信号に対して信号処理を行なう信号処理部からの出力信号に混入する直流オフセット成分をキャンセルするDCオフセットキャンセル回

路であって、前記直流オフセット成分のオフセット量を検出する検出部と、前記検出部から出力される検出信号に応じた検出結果を保持しておく保持部と、前記直流オフセット成分を識別するフィルタ部とを備え、前記保持部または前記フィルタ部の何れか一方が活性化されることを特徴とするDCオフセットキャンセル回路。

(付記2) 前記フィルタ部には前記検出信号が入力され、前記検出部と前記保持部とを含んで前記信号処理部に戻る第1帰還ループと、前記検出部と前記フィルタ部とを含んで前記信号処理部に戻る第2帰還ループとを備え、前記第1または第2帰還ループの何れか一方が活性化されることを特徴とする付記1に記載のDCオフセットキャンセル回路。

(付記3) 前記フィルタ部には前記検出信号が入力され、前記フィルタ部の周波数帯域を切り換える第1切り換え部と、前記検出部、前記フィルタ部、及び前記保持部をこの順序に含んで前記信号処理部に戻る第3帰還ループとを備えることを特徴とする付記1に記載のDCオフセットキャンセル回路。

(付記4) 前記フィルタ部には前記検出信号が入力され、前記フィルタ部をバイパスする第1バイパス経路と、前記フィルタ部を介する第1経路または前記第1バイパス経路の何れか一方を選択する第1選択部と、前記検出部、前記フィルタ部、及び前記保持部をこの順序に含んで前記信号処理部に戻る第4帰還ループとを備えることを特徴とする付記1に記載のDCオフセットキャンセル回路。

(付記5) 前記フィルタ部は、ローパスフィルタまたは積分回路を備えることを特徴とする付記2乃至4の少なくとも何れか1項に記載のDCオフセットキャンセル回路。

(付記6) 前記フィルタ部には前記出力信号が入力され、前記検出部と前記保持部とを含んで前記信号処理部に戻る帰還ループを備えることを特徴とする付記1に記載のDCオフセットキャンセル回路。

(付記7) 前記フィルタ部の周波数帯域を切り換える第2切り換え部を備えることを特徴とする付記6に記載のDCオフセットキャンセル回路。

(付記8) 前記フィルタ部をバイパスする第2バイパス経路と、前記フィルタ部を介する第2経路または前記第2バイパス経路の何れか一方を選択する第2選択部とを備えることを特徴とする付記6に記載のDCオフセットキャンセル回路。

(付記9) 前記フィルタ部は、ハイパスフィルタを備えることを特徴とする付記6乃至8の少なくとも何れか1項に記載のDCオフセットキャンセル回路。

(付記10) 前記保持部は、前記検出信号に応じて信号処理された前記直流オフセット成分の補正値を前記検出結果として保持することを特徴とする付記1乃至4のうち少なくとも何れか1項または付記6乃至8のうち少

なくとも何れか1項に記載のDCオフセットキャンセル回路。

(付記11) 前記信号処理はデジタル信号処理であり、前記補正値はデジタル値であることを特徴とする付記10に記載のDCオフセットキャンセル回路。

(付記12) 前記補正値は、トリガ信号により更新されることを特徴とする付記10に記載のDCオフセットキャンセル回路。

(付記13) 前記保持部が非活性化状態にある場合、前記保持部には前記補正値は保持されないことを特徴とする付記10に記載のDCオフセットキャンセル回路。

(付記14) 前記信号処理部は、増幅器を含むことを特徴とする付記1に記載のDCオフセットキャンセル回路。

(付記15) 前記信号処理部は、能動フィルタを含むことを特徴とする付記1に記載のDCオフセットキャンセル回路。

【0098】ここで、付記4によれば、時間的に連続したオフセット量の検出を行なうオフセットの検出方式の場合には、第1選択部によりフィルタ部を介する第1経路が選択され、検出部と保持部との間にフィルタ部を含んで第4帰還ループが形成されるので、フィルタ部で識別した信号を保持部で保持してフィードバックすることができ、フィルタ部で識別された所定の周波数帯域に応じて直流オフセット成分を相殺することができる。所定時間スロットがオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、第1選択部により第1バイパス経路が選択され、検出部と保持部との間のフィルタ部がバイパスされて第4帰還ループが形成されるので、検出部からの検出信号に応じた検出結果をフィードバックすることができ、検出部の検出結果に応じて直流オフセット成分を相殺することができる。これにより、DCオフセットキャンセル回路をコンパクトに構成することができる。また、付記7によれば、時間的に連続したオフセット量の検出を行なうオフセットの検出方式の場合には、信号処理部のフィードバックループである帰還ループが非活性化されると共に第2切り換え部によりフィルタ部が所定の周波数帯域を識別するように設定されるので、出力信号に混入する直流オフセット成分を常時識別して直流オフセット成分を除去することができる。所定時間スロットがオフセット量検出時間として割り当てられるオフセットの検出方式の場合には、第2切り換え部によりフィルタ部のフィルタ機能が排除されるように設定されると共に帰還ループが信号処理部のフィードバックループとして形成されるので、オフセット量検出時間に検出され保持部に保持されている検出結果をフィードバックして、直流オフセット成分を相殺することができる。これにより、DCオフセットキャンセル回路をコンパクトに構成することができる。また、付記11によれば、オフセット成分の補正値がデジタル

信号処理により演算されるので、直流オフセット成分に応じた検出信号に対して的確な補正値を迅速且つ確実に算出することができる。また、付記14によれば、増幅器のDCオフセットを的確に除去または相殺することができる。また、付記15によれば、能動フィルタのDCオフセットを的確に除去または相殺することができる。

【0099】

【発明の効果】本発明によれば、所定通信時間サイクル中の所定時間スロットが直流オフセット成分のオフセット量検出時間として割り当てられるTDMA方式、及びオフセット量を検出するための特別な時間が設けられておらず時間的に連続してオフセットの検出動作を行なう非TDMA方式の何れの通信方式にも対応することができるデュアルモード構成の受信機に適用して、各々の通信方式に好適なDCオフセットキャンセル回路をコンパクトな回路構成で提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1原理説明図を示すブロック図である。

【図2】本発明の第2原理説明図を示すブロック図である。

【図3】第1実施形態の回路ブロック図である。

【図4】第2実施形態の回路ブロック図である。

【図5】第3実施形態の回路ブロック図である。

【図6】第4実施形態の回路ブロック図である。

【図7】第5実施形態の回路ブロック図である。

【図8】第1従来技術としてハイパスフィルタによる補正を行なう回路ブロック図である。

【図9】第2従来技術として積分器による補正を行なう回路ブロック図である。

【図10】第3従来技術としてローパスフィルタによる

補正を行なう回路ブロック図である。

【図11】第4従来技術としてデジタル調整による補正を行なう回路ブロック図である。

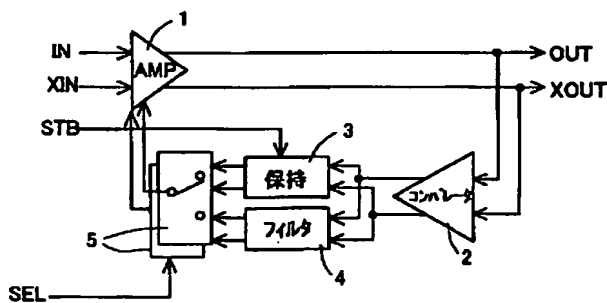
【図12】従来技術におけるデュアルモード構成の回路ブロック図である。

【符号の説明】

1、11	増幅器 (AMP)
2、12	コンパレータ
3	保持部
4	フィルタ部
5	選択部
6	選択部
10	DCオフセットキャンセル回路
13	信号処理回路 (DSP)
14、14A	ローパスフィルタ (LPF)
15	第1切換スイッチ部
16	ハイパスフィルタ (HPF)
17	DA変換器
18	AD変換器
19	第2切換スイッチ部
20、30、40、50	DCオフセットキャンセル回路
21	帰還信号選択部
22	出力信号経路選択部
IN、XIN	差動入力信号
OUT、XOUT	差動出力信号
SEL、SEL1、SEL2	選択信号
STB	ストローブ信号

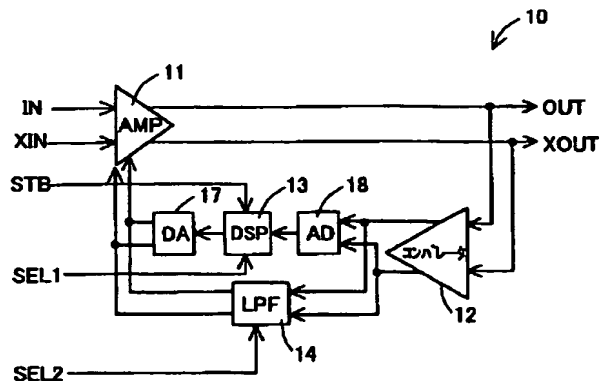
【図1】

本発明の第1原理説明図



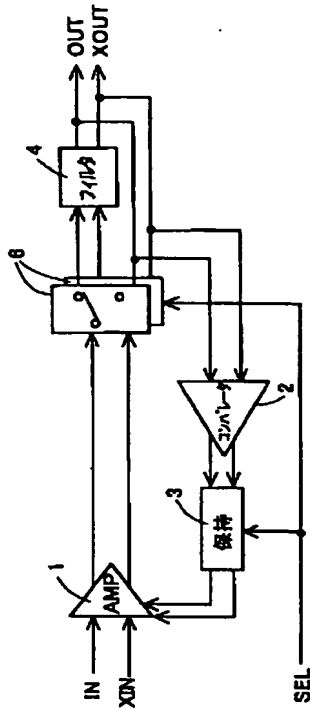
【図3】

第1実施形態の回路ブロック図



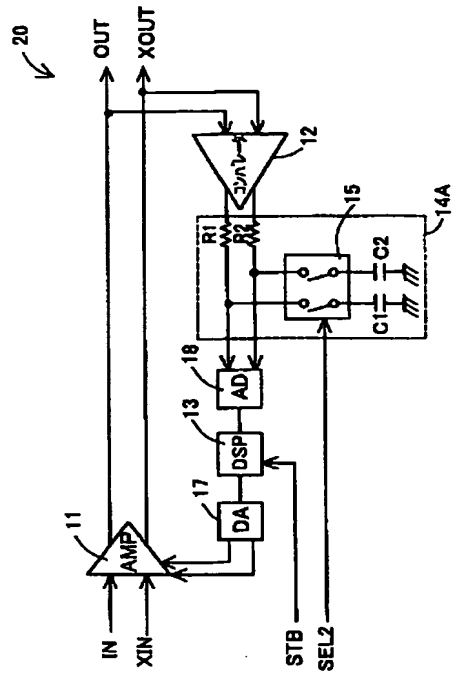
【図2】

本発明の第2原理説明図



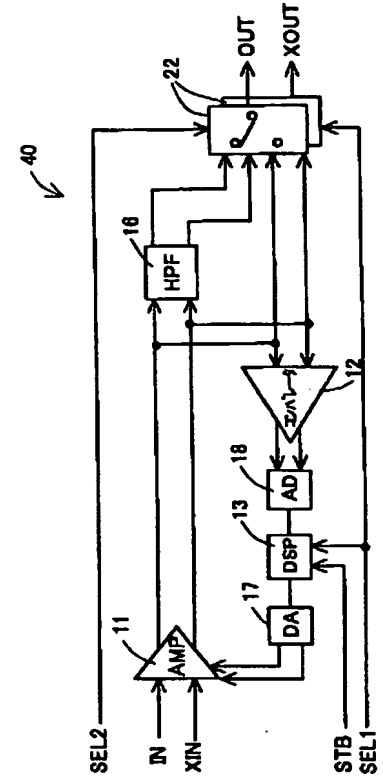
【図4】

第2実施形態の回路ブロック図



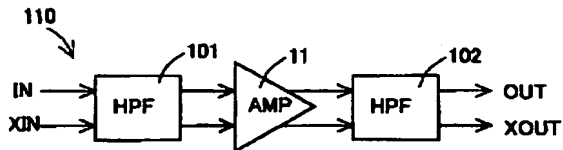
【図6】

第4実施形態の回路ブロック図



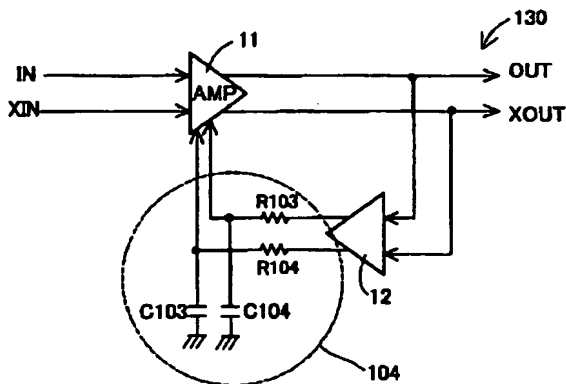
【図8】

第1従来技術(ハイパスフィルタによる補正)



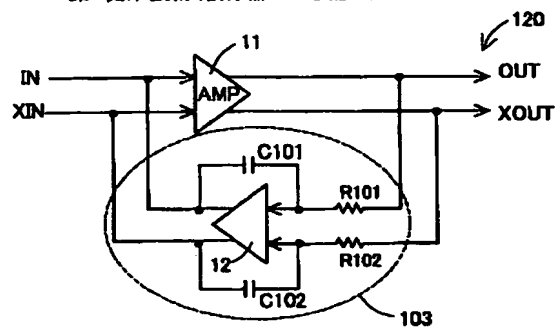
【図10】

第3従来技術(ローパスフィルタによる補正)



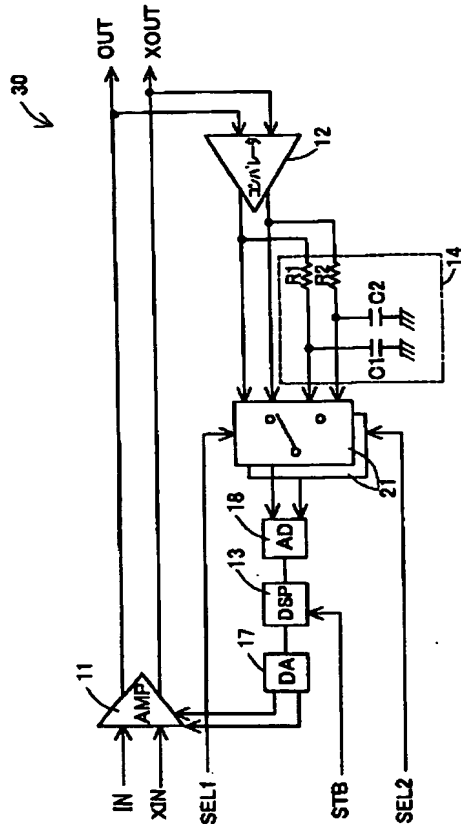
【図9】

第2従来技術(積分器による補正)



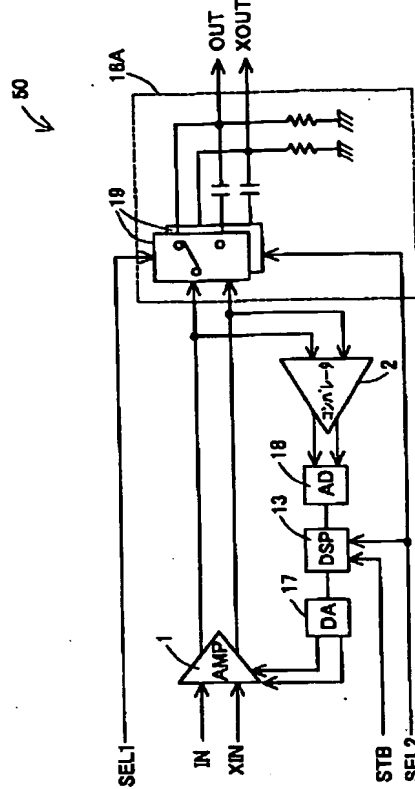
【図5】

第3実施形態の回路ブロック図



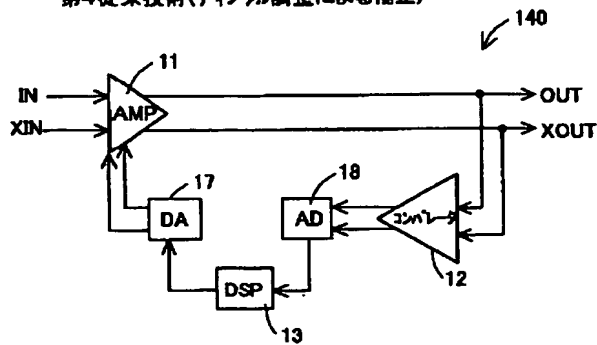
【図7】

第5実施形態の回路ブロック図



【図11】

第4従来技術(デジタル調整による補正)



【図12】

従来技術におけるデュアルモード構成

